

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

PCT/EP

03 / 12 6 30



REC'D 16 JAN 2004	
WIPO	PCT

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 54 788.2

Anmeldetag: 22. November 2002

Anmelder/Inhaber: Continental Teves AG & Co oHG,
Frankfurt am Main/DE

Bezeichnung: Analyseeinrichtung für eingebettete Systeme

IPC: G 06 F 11/28

BEST AVAILABLE COPY

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Dezember 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert

21.11.2002

P 10578

GP/BR/ad

Dr. A. Kirschbaum

Dr. A. Traskov

T. Ehrenberg

T. Kirsch

B. Voss

Analyseeinrichtung für eingebettete Systeme

Die Erfindung betrifft ein Interface zum Debugging von eingebetteten Systemen.

Um Software für eingebettete Systeme erfolgreich entwickeln zu können, sind entsprechende Debuggingkonzepte für den Mikrocontroller notwendig.

Ein State-of-the-Art Konzept ist das Debugging via JTAG-Interface (Joint Test Action Group, ermöglicht die Testbarkeit integrierter Schaltungen, meist durch ein Boundary-Scan Testverfahren), das üblicherweise Singlestepping, Breakpoints und Watchpoints unterstützt. Hiermit kann zwar die prinzipielle Programmabarbeitung und vereinzelte Variablenwerte mitverfolgt werden, jedoch muss das System dazu in der Regel angehalten werden (d.h. die Ausgabe erfolgt nicht in Echtzeit). Eingebettete Systeme sind aber meist ebenfalls Echtzeitsysteme, die aufgrund ihrer Natur (Steuerung/ Regelung) ein Anhalten zu Debuggingzwecken nicht erlauben.

Beim klassischen Trace-Interface werden alle relevanten CPU-Bussignale (Adressen-, Daten-, und Kontrollsignale) über Gehäusepins einem externen Logikanalyzer (oder ähnliches) zur Weiterverarbeitung in Echtzeit zur Verfügung gestellt.

Steigende Systemfrequenzen (mehrere hundert Megahertz) und moderne Speicherarchitekturen mit Caches machen diese Methode für zukünftige High-End-Systeme nicht brauchbar.

Neben diesen unabdingbaren Software-Debuggingverfahren interessiert insbesondere bei der Entwicklung von Regelalgorithmen z. B. für Kraftfahrzeugbremsysteme, vor allem das dynamische Systemverhalten insbesondere der Regelvariablen. Für den Einsatz eines eingebetteten Systems in einem Hardware-in-the-Loop-Simulator oder in einem Rapid-Prototyping System ist es außerdem erforderlich, dass eine Dateneingabe möglich ist.

Die Erfindung basiert auf folgenden Überlegungen: Zum einen läßt sich der interne Systemzustand eines eingebetteten Systems durch seinen aktuellen Datenspeicherinhalt (RAM) beschreiben bzw. analysieren. Daraus folgt, dass für den Fall, dass dieser Speicherinhalt in Echtzeit in einen externen Datenspeicher kopiert werden kann, eine Möglichkeit besteht, den Systemzustand von dort durch eine nachgeschaltete Auswerteeinheit weiterzuverarbeiten und auszuwerten.

2. Die zur Echtzeitausgabe großer Datenspeicher (typisch > 100 Kbyte) an sich notwendige Bandbreite kann typischerweise wegen der technologiebedingten Systemfrequenzen nicht zur Verfügung gestellt werden. Eine denkbare Möglichkeit zur Schaffung der für die Echtzeitdatenübertragung notwendigen Bandbreite wäre eine parallele Ausgabe der zu übertragenden Daten. Die hierfür zur Verfügung stehende Pinzahl ist jedoch nicht zuletzt aus Kostengründen in der Regel begrenzt.

Die Erfindung betrifft eine Analyseeinrichtung gemäß Anspruch 1.

In der Analyseeinrichtung wird bevorzugt eine Kopie des internen Systemzustands in einen externen Speicher in Echtzeit geschrieben.

Die Analyseeinrichtung ist bevorzugt Bestandteil eines eingebetteten Systems, welches insbesondere in elektronischen Steuergeräten für Kraftfahrzeugbremsysteme Verwendung findet. In dem eingebetteten System nach der Erfindung sind vorzugsweise wesentliche Komponenten des Systems, wie z.B. CPU und Speicher teil- oder vollredundant ausgeführt. Hierdurch wird die Betriebssicherheit des eingebetteten Systems erhöht.

Vorzugsweise erfolgt die Protokollierung der Daten nicht in der Weise, dass die Daten als solche übertragen werden, sondern es werden nur die Veränderungen des Speichers, insbesondere bei allen Schreibzugriffen, übertragen. Auf diese Weise kann eine Minimierung der notwendigen Bandbreite zur Datenausgabe erfolgen.

Speziell für diese Anwendungsfälle wird gemäß der Erfindung ein universelles Datenein- und ausgabeverfahren (und Modul) vorgeschlagen, dass in Echtzeit einen Datenaustausch mit einem eingebetteten System gewährleistet, ohne dieses (auch nur zeitweise) anzuhalten (non-intrusive).

Das Verfahren gemäß der Erfindung ermöglicht eine echtzeitfähige Ausgabe des kompletten Datenspeicherinhalts. Eine Degradation der Performance findet nicht statt, da die hierfür notwendigen Prozesse im Hintergrund ablaufen.

Nachfolgend wird die erfindungsgemäße Analyseeinrichtung und das erfindungsgemäße Verfahren beschrieben.

Weitere bevorzugte Ausführungsformen ergeben sich aus den Unteransprüchen und der nachfolgenden Beschreibung eines Ausführungsbeispiels an Hand von Figuren.

Es zeigen

Fig. 1 ein eingebettetes System mit einer Analyseeinrichtung gemäß der Erfindung.

Nachfolgend werden unter Bezugnahme auf Fig. 1 drei Ausführungsbeispiele für das erfindungsgemäße Verfahren und für ein erfindungsgemäße Analyseeinrichtung beschrieben:

In Funktionsmodus 1 erfolgt ein Mithören aller CPU Schreibzugriffe auf den Datenspeicher. Alle Schreibzugriffe der CPU 1 auf den Datenspeicher 3 werden automatisch über den CPU-Bus 2 von der vorgeschlagenen erweiterten Datenaus-/eingabeeinheit 4 (EDP, Enhanced Data Port) mittels eines darin enthaltenen Controllers über ein paralleles Interface 5 auf den externen Datenspeicher 6 geschrieben. Hierzu muss der Controller zumindest die gleiche Bandbreite besitzen, wie der verwendete Speicher 3. Der Controller besitzt neben eine Verbindung zum Datenbus auch insbesondere eine Verbindung zum Kontrollbus und zum Adressbus, damit, nach einer

bevorzugten Ausführungsform des Verfahrens, nur speziell selektierte Adressbereiche und/oder speziell selektierte Datentypen für die Analyse mitverfolgt werden können. Der externe Datenspeicher 6 ist bevorzugt als Dual-Port Speicher ausgeführt und enthält in der Regel ein genaues Abbild der in RAM 3 beobachteten Speicherbereiche bzw. des gesamten Speicherinhaltes von RAM 3. Es kann sich bei Speicher 6 auch um einen Ringspeicher handeln. CPU 1 muss für den hier beschriebenen Datentransfer keine zusätzlichen Befehle ausführen. Da die Bandbreite des externen Interfaces typischerweise kleiner als die Bandbreite des CPU-Bus ist, sorgt ein zur zeitlichen Pufferung verwendeter FIFO-Speicher 8 innerhalb der Datenausgabeeinheit 4 dafür, dass auch Burst-Schreibzugriffe (z.B. Zurückschreiben einer Cache-Line oder CPU-Register Dump bei Funktionseintritt) komplett ausgegeben werden, ohne die CPU anzuhalten.

Die Dateneingabe erfolgt in diesem und in den nachfolgenden Funktionsmodi 2 und 3 über ein paralleles Interface (5), das mit der Datenaus-/eingabeeinheit (4) verbunden ist. Hierzu sind einfache Lesezugriffe auf den externen Datenspeicher (6) erforderlich.

In Funktionsmodus 2 erfolgt ein Mithören aller CPU Lesezugriffe auf den Datenspeicher. Dieser Modus entspricht Funktionsmodus 1, jedoch mit folgenden Unterschieden: Es werden alle Lesezugriffe automatisch über das externe Interface ausgegeben. CPU 1 führt aktiv einen Speicherdump durch, was allerdings mit einem geringfügigen tolerierbaren Laufzeitverlust einhergeht. Unter dem Begriff "Mithören" wird verstanden, dass die Datenaus-/eingabeeinheit alle Vorgänge, wie Lesesyklen, Schreibzyklen etc., auf dem CPU-Bus ver-

folgt. Durch das Mithören der Datenaus-/eingabeeinheit werden die Anzahl von Taktzyklen, welche für die Ausgabe der Datenwörter zur Analyse erforderlich sind, verringert bzw. oder sogar ganz vermieden.

Für den Fall, dass das eingebettete System eine RISC-CPU ist, typisches Verfahren bei einer RISC-CPU (entspricht im wesentlichen weiter unten beschriebenen Funktionsmodus 3), liest die CPU 1 den Datenspeicherinhalt in die nichtgezeichneten CPU-Register bzw. die in den Registern vorhandenen Daten werden in Datenausgabeeinheit 4 geschrieben.

Bei der im vorliegenden Beispiel vorgeschlagenen Analyseeinrichtung (Funktionsmodus 2) liest CPU 1 den Datenspeicherinhalt in die CPU-Register. Parallel hierzu gibt die Datenausgabeeinheit 4, welche den Datenbus mithört, die entsprechenden Daten automatisch aus, d.h. es ist kein expliziter Schreibzyklus für die Datenausgabe zur Analyse erforderlich.

In Funktionsmodus 3 erfolgt ein direktes Schreiben auf die Datenausgabeeinheit oder ein direktes Lesen von der Datenausgabeeinheit. Funktionsmodus 3 entspricht also Funktionsmodus 1, bis auf die Tatsache, dass die Daten aktiv durch die CPU 1 auf die Datenaus-/eingabeeinheit 4 extern ausgegeben bzw. aktiv von dort eingelesen werden, wodurch allerdings zusätzliche Taktzyklen erforderlich sind.

Das mit der erfindungsgemäßen Analyseeinrichtung versehene eingebettete System hat gegenüber bestehenden Systemen folgende Vorteile:

- 7 -

- Flexibilität in der Datenausgabe: Unterstützt die volle Bandbreite zwischen direkter Datenausgabe durch die CPU bis hin zur automatischen Hintergrundreplizierung durch das Datenausgabemodul ohne CPU-Eingriff.

- Eine komplette Ausgabe großer Datenspeicher in Echtzeit wird ermöglicht.

Die Analyseeinheit kann bevorzugt über Modul 7 mit Systemen zur

- Echtzeitüberwachung des Systemzustands 10,
- Offline-Analyse-Module zur Schaffung eines kompletten Datenspeicherabbild 11,
- Kommunikationskanal für Flash-Download 12 (Programmierung des Programmspeichers),
- Parametervariation während des Betriebs des eingebetteten Systems,
- Übertragung von Systemstimuli und
- Rapid-Prototyping / Hardware-in-the-Loop Simulation verwendet werden.

Patentansprüche

1. Analyseeinrichtung für ein eingebettetes System (9) mit einem CPU-Bus (2) und einem Speicher (3), wobei diese ein Kommunikationsmodul (4) für die Ein- bzw. Ausgabe von Analysedaten über eine Testschnittstelle (5) umfasst, dadurch **gekennzeichnet**, dass mit dem Kommunikationsmodul ohne Verbrauch von Taktzyklen der CPU (1) der interne Speicher und I/O-Zugriffe des eingebetteten Systems überwacht und/oder protokolliert werden kann.
2. Analyseeinrichtung nach Anspruch 1, **gekennzeichnet**, durch zwei, insbesondere mindestens drei, frei wählbare Analysemodi, wobei sich die Analysemodi in Art und Umfang der Beteiligung der CPU 1 beim Einlesen und/oder Schreiben von Daten für Analysezwecke voneinander unterscheiden.
3. Analyseeinrichtung nach Anspruch 2, dadurch **gekennzeichnet**, dass je nach Analysemodus entweder
 - alle CPU Schreibzugriffe ohne Taktzyklenverbrauch protokolliert werden oder
 - alle Lesezugriffe der CPU ohne Taktzyklenverbrauch protokolliert werden oder
 - ein direktes Lesen und Schreiben der CPU aus/in einen externen Speicher (6) mit Taktzyklenverbrauch erfolgt.

4. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 3, dadurch **gekennzeichnet**, dass das Kommunikationsmodul einen Controller umfasst, welcher selbstständig über eine Verbindung mit dem Datenbus und/oder dem Kontrollbus und/oder dem Adressbus auf den Datenbus zugreifen kann, um Speicher- und/oder Lese-Zugriffe in Echtzeit, d.h. ohne Beeinflussung der CPU, mitzuverfolgen.
5. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 4, dadurch **gekennzeichnet**, dass das Kommunikationsmodul mit einem Pufferspeicher (8) verbunden ist oder diesen insbesondere umfasst, in dem die bei Speicher- und/oder Lese-Zugriffen übertragenen Daten gespeichert werden können.
6. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 5, dadurch **gekennzeichnet**, dass aus dem Pufferspeicher Daten über die Datenschnittstelle gepuffert ausgegeben bzw. Daten in den Pufferspeicher eingeschrieben werden können.
7. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 6, dadurch **gekennzeichnet**, dass der externe Prüfspeicher (6) ein Ringspeicher oder ein Dual-Port Speicher ist.
8. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 7, dadurch **gekennzeichnet**, dass das Kommunikationsmodul ein Parallelinterface (5) umfasst oder mit diesem verbunden ist.

9. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 8, dadurch **gekennzeichnet**, dass das Kommunikationsmodul im eingebetteten System integriert ist.
10. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 9, dadurch **gekennzeichnet**, dass die Testschnittstelle (5) mit einem außerhalb des eingebetteten Systems angeordneten Prüfspeicher (6) verbunden ist.
11. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 10, dadurch **gekennzeichnet**, dass die Datenübertragung vom Kommunikationsmodul zum externen Speicher über eine Parallelschnittstelle erfolgt.
12. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 11, dadurch **gekennzeichnet**, dass externer Speicher (6) mit einer Datenaufbereitungseinrichtung (7) verbunden ist, welche eine Verbindung (Interface) zu externen Debugging-Anwendungen schafft.
13. Eingebettetes System umfassend eine Zentralrecheneinheit (1), einen CPU-Bus (2) und einem Speicher (3), dadurch **gekennzeichnet**, dass dieses eine Analyseeinrichtung gemäß mindestens einem der Ansprüche 1 bis 12 umfasst.
14. Verfahren zur Analyse eines eingebetteten Systems mit einer Analyseeinrichtung, gemäß mindestens einem der Ansprüche 1 bis 12, dadurch **gekennzeichnet**, dass mindestens ein Modus vorhanden ist, in dem die Analysedaten in Echtzeit aus dem System, welches zumindest CPU,

Datenspeicher, Programmspeicher und I/O-Element/-e umfasst, herausgelesen und/oder in das System hinein geschrieben werden können, so dass das System für die Analyse nicht angehalten bzw. unterbrochen werden muss.

15. Verfahren nach Anspruch 14, dadurch **gekennzeichnet**, dass

- der Speicherinhalt oder eine entsprechend auswertbare Information des eingebetteten Systems ganz oder teilweise in einen externen Speicher in Echtzeit kopiert wird und, wobei insbesondere zuvor die Daten gepuffert werden und/oder

- der Speicherinhalt eines externen Speichers (6) oder eine entsprechend auswertbare Information über den Speicherinhalt von Speicher (6) ganz oder teilweise in einen Speicher des eingebetteten Systems in Echtzeit kopiert wird, wobei insbesondere zuvor die Daten gepuffert werden.

16. Verfahren nach Anspruch 14 oder 15, dadurch **gekennzeichnet**, dass der externe Speicher zur Übertragung von Daten für typische Debugging-Anwendungen, wie insbesondere

- Echtzeitüberwachung des Systemzustands (10),
- Komplettes Datenspeicherabbild zur Offline-Analyse (11),
- Kommunikationskanal für Flash-Download 12 z.B. zur Programmierung des Programmspeichers,
- Parametervariation während des Betriebs des einge-

betteten Systems (13),

- Übertragung von Systemstimuli oder
- Rapid-Prototyping bzw. Hardware-in-the-Loop Simulationen verwendet wird.

17. Verfahren nach mindestens einem der Ansprüche 14 bis 16, dadurch **gekennzeichnet**, dass nur die entsprechenden Daten bei Zugriffen der CPU auf RAM 3 an den externen Speicher (6) übertragen werden.
18. Verfahren nach mindestens einem der Ansprüche 14 bis 17, dadurch **gekennzeichnet**, dass Schreibzugriffe und/oder Lesezugriffe der CPU mittels eines Pufferspeichers protokolliert werden.
19. Verfahren nach Anspruch 14 bis 18, dadurch **gekennzeichnet**, dass Informationen über die Schreibzugriffe ohne zusätzliche CPU-Befehle in den Pufferspeicher (8) oder direkt in das Kommunikationsmodul (4) geschrieben werden und die Informationen über die Lesezugriffe mit aktiver Unterstützung der CPU in den Pufferspeicher geschrieben werden.
20. Verfahren nach mindestens einem der Ansprüche 14 bis 19, dadurch **gekennzeichnet**, dass ein Modus des eingebetteten Systems vorgesehen ist, in dem alle Schreib- und/oder Lesezugriffe der CPU auf das Kommunikationsmodul umgeleitet werden.

21. Verfahren nach mindestens einem der Ansprüche 14 bis 20, dadurch **gekennzeichnet**, dass ein Modus des eingebetteten Systems vorgesehen ist, in dem nur entweder die Schreibzugriffe oder die Lesezugriffe der CPU auf das Kommunikationsmodul umgeleitet werden, und die übrigen Zugriffe der CPU auf den Speicher von der CPU aktiv in den externen Speicher protokolliert werden.

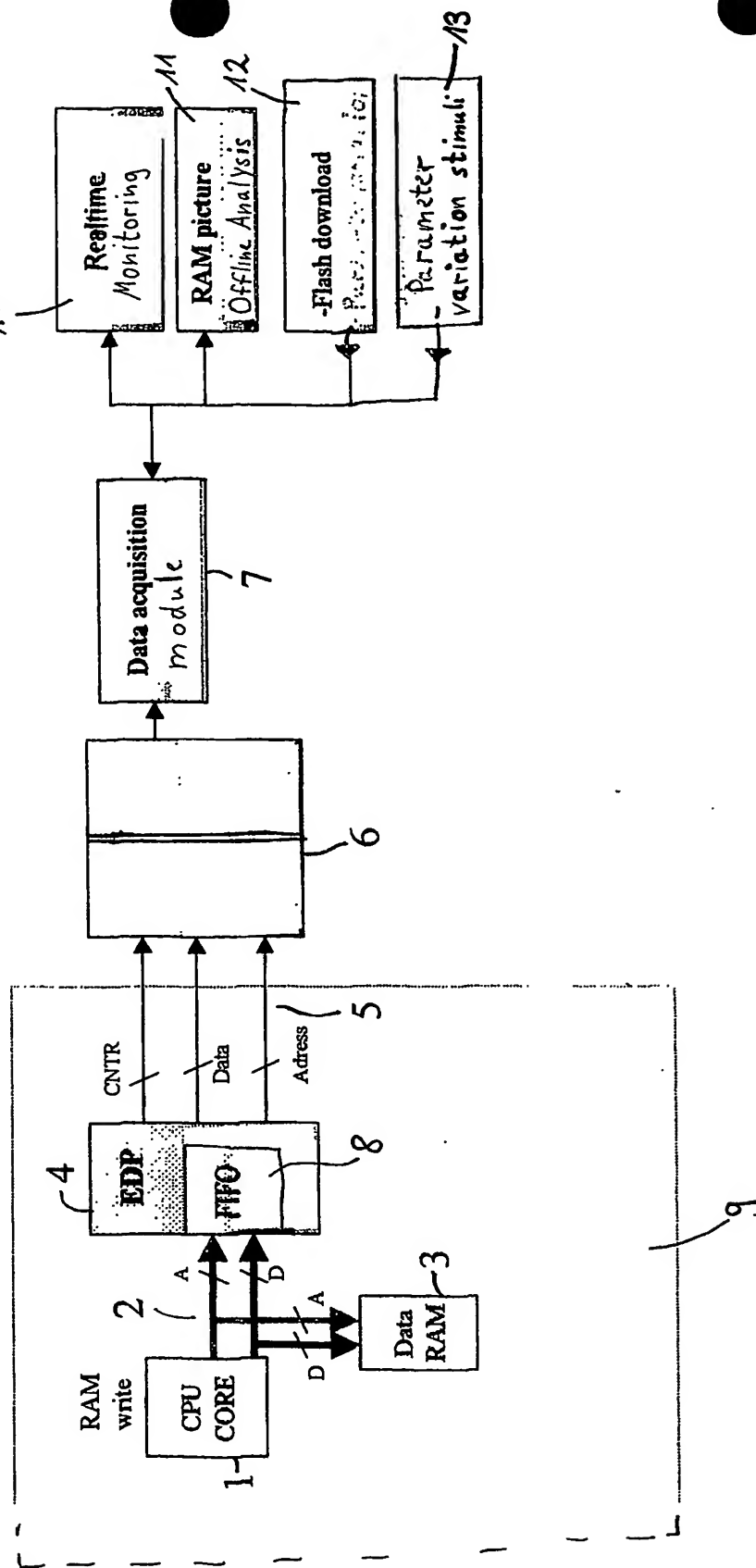


Fig. 1

1/1

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**